

数字电子技术

本教材第5版曾获首届全国教材
建设奖全国优秀教材二等奖



“十四五” 国家教材规划教材



icve 高等职业教育电类课程
智慧职教 新形态一体化教材

(第6版)

主 编 杨富军

宋宇飞

卫峰峰

副主编 焦 勇

中国教育出版传媒集团
高等教育出版社

- 智慧职教教学平台
- 学习指导
- 微课
- 教学课件
- 动画
- 试题库
- 练习题、技能
题参考答案
- 试卷



5.6.2 边沿 D 触发器常见故障的查找与排除	124	技能题	173
本章小结	125	技能训练	173
自我检查题	125	训练一 计数器、译码器和数码显示器的应用	173
练习题	127	训练二 设计一个 30 s 定时电路	176
技能题	131	◇第7章 脉冲信号的产生与整形	179
技能训练	131	7.1 概述	179
训练一 边沿触发器逻辑功能的测试及应用	131	7.2 555 定时器的电路结构和逻辑功能	179
训练二 触发器的应用	133	7.2.1 555 定时器的电路结构	179
◇第6章 时序逻辑电路	137	7.2.2 555 定时器的逻辑功能	181
6.1 概述	137	7.3 施密特触发器	182
6.2 时序逻辑电路的分析方法	137	7.3.1 用 555 定时器组成施密特触发器	182
6.2.1 同步时序逻辑电路的分析方法	138	7.3.2 集成施密特触发器	184
*6.2.2 异步时序逻辑电路的分析方法	140	7.3.3 施密特触发器的应用	185
6.3 计数器	142	7.4 单稳态触发器	186
6.3.1 异步计数器	142	7.4.1 用 555 定时器组成单稳态触发器	186
6.3.2 同步计数器	147	7.4.2 集成单稳态触发器	189
6.3.3 集成计数器综合应用举例	157	7.4.3 单稳态触发器的应用	190
6.4 寄存器和移位寄存器	159	7.5 多谐振荡器	192
6.4.1 寄存器	159	7.5.1 用 555 定时器组成多谐振荡器	192
6.4.2 移位寄存器	159	7.5.2 石英晶体多谐振荡器	195
6.4.3 移位寄存器的应用	161	*7.6 故障诊断	197
*6.5 故障诊断	164	7.6.1 施密特触发器常见故障的查找与排除	197
6.5.1 集成同步计数器常见故障的查找与排除	164	7.6.2 单稳态触发器和多谐振荡器常见故障的查找与排除	198
6.5.2 集成异步计数器常见故障的查找与排除	166	本章小结	199
6.5.3 移位寄存器常见故障的查找与排除	166	自我检查题	200
本章小结	168	练习题	200
自我检查题	168	技能题	203
练习题	169	技能训练	204

单片 CT74LS290 只能计到 10 以内的数,在实际应用中经常要用到大容量计数器,这时,可将多片集成计数器级联起来扩大计数容量。

[例 6.3.2] 试用两片 CT74LS290 构成二十三进制计数器。

解:设十位计数器输出为 $Q_3'Q_2'Q_1'Q_0'$,个位计数器输出为 $Q_3Q_2Q_1Q_0$ 。

① 分别写出 S_{23} 十位和个位的二进制代码

$$S_{23} = Q_3'Q_2'Q_1'Q_0'Q_3Q_2Q_1Q_0 = 00100011$$

② 写出反馈归零函数

$$R_0 = R_{0A} \cdot R_{0B} = Q_1'Q_1Q_0 \quad (6.3.1)$$

③ 画连线图。根据式(6.3.1)所示反馈归零函数画连线图,用两个与非门组成与门,同时将 S_{9A} 和 S_{9B} 接低电平,电路如图 6.3.7 所示。图中非门由与非门构成。

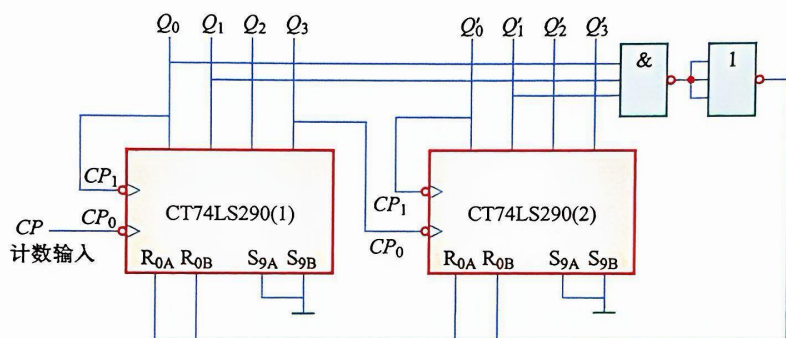


图 6.3.7 两片 CT74LS290 构成的二十三进制计数器

6.3.2 同步计数器

一、同步二进制计数器

1. 同步二进制加法计数器

图 6.3.8 所示为由 JK 触发器组成的 4 位同步二进制加法计数器,用下降沿触发。下面分析它的工作原理。

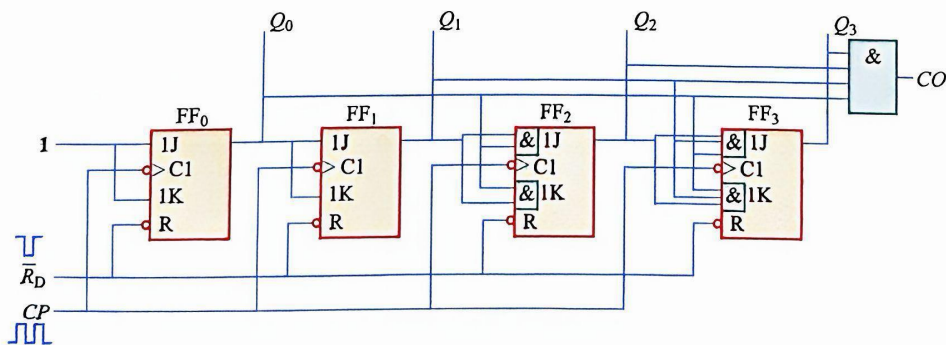


图 6.3.8 由 JK 触发器组成的 4 位同步二进制加法计数器

由图 6.3.8 可得

输出方程为

$$CO = Q_3^s Q_2^s Q_1^s Q_0^s \quad (6.3.2)$$

驱动方程为

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0^s \\ J_2 = K_2 = Q_1^s Q_0^s \\ J_3 = K_3 = Q_2^s Q_1^s Q_0^s \end{cases} \quad (6.3.3)$$

由式(6.3.3)可知:最低位触发器 FF_0 为 T' 触发器,每输入一个计数脉冲 CP ,输出 Q_0 状态变化一次。 FF_1 为 T 触发器,在 $Q_0=0$,即 $T=0$ 时,保持原状态不变;在 $Q_0=1$,即 $T=1$ 时,在下一个计数脉冲 CP 下降沿作用下, FF_1 状态翻转。同样, FF_2 和 FF_3 也为 T 触发器。同理, FF_2 的 Q_2 在 Q_0 和 Q_1 都为 1 状态后的下一个计数脉冲 CP 下降沿作用下状态翻转; FF_3 的 Q_3 在 Q_2 、 Q_1 和 Q_0 都为 1 状态后的下一个计数脉冲 CP 下降沿作用下状态翻转。可见,图 6.3.8 所示电路状态改变符合表 6.3.1 所示二进制定加法规律。因此,为 4 位同步二进制加法计数器。图 6.3.8 所示计数器在计到 15 个计数脉冲 CP 时, $Q_3Q_2Q_1Q_0=1111$,进位输出 $CO=Q_3Q_2Q_1Q_0=1$;当输入第 16 个计数脉冲 CP 时,计数器返回初始的 0000 状态。同时, CO 由 1 变为 0,输出一个负跃变的进位信号,使相邻高位计数器加 1,从而实现了逢 16 进 1 的计数。

2. 同步二进制减法计数器

由表 6.3.2 所示 4 位二进制减法计数器的状态表可看出,要实现 4 位二进制减法计数,必须在输入第一个减法计数脉冲时,电路的状态由 0000 变为 1111。为此,只要将图 6.3.8 所示的二进制加法计数器的输出由 Q 端改为 \bar{Q} 端并和相邻高位触发器的 CP 端相连后,便成为同步二进制减法计数器了。

3. 集成同步二进制计数器 CT74LS161 和 CT74LS163

图 6.3.9 所示为集成 4 位同步二进制加法计数器 CT74LS161 的逻辑功能示意图。图中 \overline{LD} 为同步置数控制端, \overline{CR} 为异步置 0 控制端, CT_P 和 CT_T 为计数控制端, $D_0 \sim D_3$ 为并行数据输入端, $Q_0 \sim Q_3$ 为输出端, CO 为进位输出端。表 6.3.4 所示为 CT74LS161 的功能表。由该表可知 CT74LS161 有以下主要功能:

(1) 异步置 0 功能。当 $\overline{CR}=0$ 时,不论有无时钟脉冲 CP 和其他信号输入,计数器被置 0,即 $Q_3Q_2Q_1Q_0=0000$,所以,异步置 0 信号优先于其他输入信号。

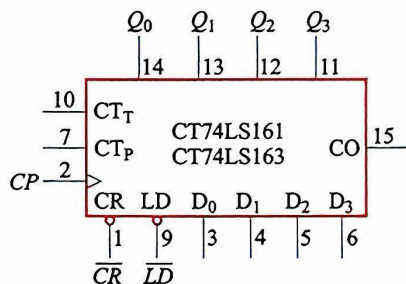


图 6.3.9 CT74LS161 和 CT74LS163 的逻辑功能示意图

表 6.3.4 CT74LS161 的功能表

输入									输出				说明
\overline{CR}	\overline{LD}	CT_P	CT_T	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	x	x	x	x	x	x	x	x	0	0	0	0	异步置 0 同步置数 $CO=Q_3Q_2Q_1Q_0$
1	0	x	x	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	
1	1	1	1	↑	x	x	x	x	加	计	数		
1	1	0	x	x	x	x	x	x		保	持		
1	1	x	0	x	x	x	x	x		保	持		

(2) 同步并行置数功能。当 $\overline{CR}=1$ 、 $\overline{LD}=0$ 时,在输入时钟脉冲 CP 上升沿的作用下,并行数据输入端 $D_3 \sim D_0$ 输入的数据 $d_3 \sim d_0$ 被置入计数器,即 $Q_3Q_2Q_1Q_0=d_3d_2d_1d_0$ 。

(3) 计数功能。当 $\overline{LD}=\overline{CR}=CT_P=CT_T=1$, CP 端输入计数脉冲时,计数器进行二进制加法计数。当计满 16 时, CO 端输出一个正跃变的进位信号。

(4) 保持功能。当 $\overline{LD}=\overline{CR}=1$,且 CT_P 和 CT_T 中有 0 时,则计数器保持原来的状态不变。

集成 4 位同步二进制加法计数器 CT74LS163 的逻辑功能示意图如图 6.3.9 所示,其外引脚排列与 CT74LS161 相同,和 CT74LS161 的主要区别是 CT74LS163 采用了同步置 0,即首先使 $\overline{CR}=0$,然后在时

钟脉冲 CP 上升沿作用下计数器才被置 0, 而 CT74LS161 则为异步置 0, 它们的其他所有逻辑功能完全相同。

4. 利用异步置 0 功能构成 N 进制(任意进制)计数器

由于计数器的异步置 0 控制端获得置 0 信号后便被立刻置 0, 因此, 利用异步置 0 功能构成 N 进制计数器的方法是: 在输入第 N 个计数脉冲 CP 后, 将计数器输出 Q_3, Q_2, Q_1, Q_0 中的高电平 1 通过反馈控制电路(与非门)产生的置 0 信号加到异步置 0 控制端 \overline{CR} 上, 使计数器立刻置 0 而回到初始的 0 状态, 从而实现了 N 进制计数。

如异步置 0 信号为高电平 1 有效时, 则反馈控制电路为与门, 如图 6.3.6(b) 所示; 如异步置 0 信号为低电平 0 有效时, 则反馈控制电路为与非门。应当指出, 利用置 0 功能构成任意进制计数器时, 其并行数据输入端 $D_0 \sim D_3$ 可接任意数据。

利用异步置 0 功能构成 N 进制计数器的方法如下:

- (1) 写出 N 进制计数器状态 S_N 的二进制代码。
- (2) 写出反馈归零函数。这实际上是根据 S_N 写置 0 端的逻辑表达式。
- (3) 画连线图。主要根据反馈归零函数画连线图。

[例 6.3.3] 试用 CT74LS161 的异步置 0 功能构成十进制计数器。

解: ① 写出 S_{10} 的二进制代码为

$$S_{10} = Q_3 Q_2 Q_1 Q_0 = 1010$$

② 写出反馈归零函数。由于异步置 0 信号为低电平 0, 因此在 $Q_3 = 1, Q_1 = 1$ 时, 反馈归零函数为与非函数。

$$\overline{CR} = \overline{Q_3 Q_1} \quad (6.3.4)$$

③ 画连线图。根据上式画连线图, 如图 6.3.10(a) 所示。

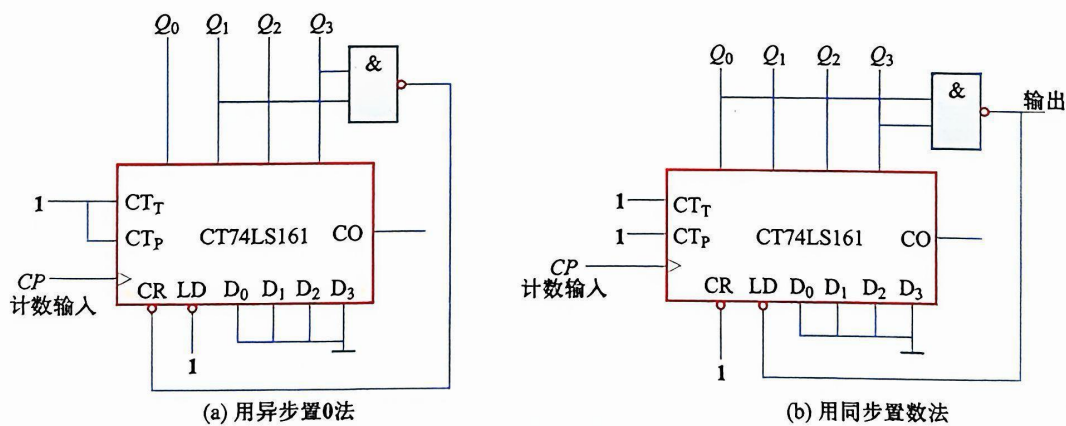


图 6.3.10 用 CT74LS161 构成十进制计数器的两种方法

应当指出, 利用异步置 0 控制端 \overline{CR} 实现任意进制计数时, 并行数据输入端 $D_0 \sim D_3$ 可接任意数据, 在本例中, $D_0 \sim D_3$ 端都接低电平 0(地), 当然也可接其他数据。

5. 利用同步置数功能构成 N 进制计数器

利用同步置数功能构成 N 进制计数器时, 计数器的并行数据输入端 $D_0 \sim D_3$ 必须接入计数起始数据, 并置入计数器。由于同步置数控制端获得置数信号后, $D_0 \sim D_3$ 输入的数据并不能置入计数器, 还需再输入一个计数脉冲 CP 才能置入计数器, 因此, 利用同步置数功能构成 N 进制计数器的方法是: 在输

入第 $N-1$ 个计数脉冲 CP 后,将计数器输出 $Q_3Q_2Q_1Q_0$ 中的高电平 **1** 通过反馈控制电路产生的置数信号加到同步置数控制端 \overline{LD} 上,这样,在输入第 N 个计数脉冲 CP 后, $D_0 \sim D_3$ 输入的数据被置入计数器,使电路返回到初始的预置状态,从而实现了 N 进制计数。

利用同步置数功能构成 N 进制计数器的方法如下:

- (1) 写出 N 进制计数器状态 S_{N-1} 的二进制代码。
- (2) 写出反馈置数函数。这实际上是根据 S_{N-1} 写出同步置数控制端的逻辑表达式。
- (3) 画连线图。主要根据反馈置数函数画连线图。

[例 6.3.4] 试用 CT74LS161 的同步置数功能构成十进制计数器。

解:设计数从 $Q_3Q_2Q_1Q_0 = 0000$ 状态开始,由于采用反馈置数法获得十进制计数器,因此应取 $D_3D_2D_1D_0 = 0000$,并置入计数器。采用置数控制端获得 N 进制计数器一般从 0 开始计数。

- ① 写出 S_{N-1} 的二进制代码为

$$S_{N-1} = S_{10-1} = S_9 = 1001$$

- ② 写出反馈置数函数。由于同步置数信号为低电平 **0**,因此,要使置数函数 \overline{LD} 在 $Q_3 = 1$ 、 $Q_0 = 1$ 时为 **0**,则反馈置数函数为与非函数,即

$$\overline{LD} = \overline{Q_3 Q_0} \quad (6.3.5)$$

- ③ 画连线图。根据上式和置数的要求画十进制计数器的连线图,如图 6.3.10(b)所示一片 CT74LS161 可构成 16 以内的任意进制计数器。

6. 利用同步置 0 功能获得 N 进制计数器

利用计数器的同步置 0 功能也可获得 N 进制计数器。它与利用异步置 0 功能实现任意进制计数不同,因为在同步置 0 控制端获得置 0 控制信号后,计数器并不能立刻被置 0,还需再输入一个计数脉冲 CP 后才被置 0,所以,利用同步置 0 控制端获得 N 进制计数器时,应在输入第 $N-1$ 个计数脉冲 CP 后,将计数器输出 $Q_3Q_2Q_1Q_0$ 中的高电平 **1** 通过控制电路(与非门)使同步置 0 控制端获得置 0 信号,这样,在输入第 N 个计数脉冲时,计数器才被置 0,回到初始的 0 状态,从而实现了 N 进制计数。应当指出,利用同步置 0 功能实现任意进制计数时,其并行数据输入端 $D_0 \sim D_3$ 可为任意数据,不需要接入固定的计数起始数据。

利用同步置 0 功能实现 N 进制计数的方法如下:

- (1) 写出 N 进制计数器状态 S_{N-1} 的二进制代码。
- (2) 写出反馈归零函数。这实际上是根据 S_{N-1} 的二进制代码写出置零控制端的逻辑表达式。
- (3) 画连线图。主要根据反馈归零函数画连线图。

[例 6.3.5] 试用 CT74LS163 的同步置 0 功能构成十进制计数器。

解:① 写出 S_{10-1} 的二进制代码

$$S_{10-1} = S_9 = 1001$$

- ② 写出反馈归零函数为

$$\overline{CR} = \overline{Q_3 Q_0} \quad (6.3.6)$$

- ③ 画连线图。根据 \overline{CR} 的逻辑函数式画连线图,如图 6.3.11 所示。并行数据输入端可接任意数据。 \overline{LD} 接高电平 **1**。

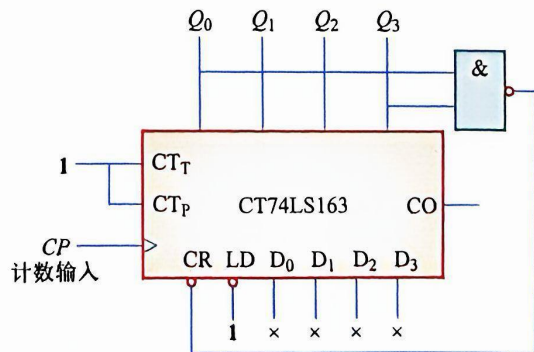


图 6.3.11 用 CT74LS163 构成十进制计数器

利用 CT74LS163 的同步置数功能也可构成任意进制计数器,其方法与 CT74LS161 相同,这里不再重复。

[例 6.3.6] 试分析图 6.3.12 所示电路为几进制计数器?

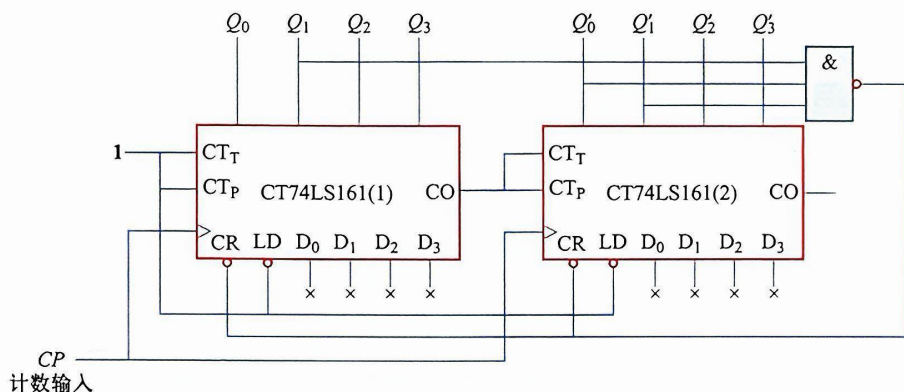


图 6.3.12 两片 CT74LS161 构成的计数器

解:图 6.3.12 所示电路为由两片 4 位二进制计数器 CT74LS161 利用异步置 0 功能构成的计数器。低位片 CT74LS161(1) 的 CT_T 、 CT_P 都为高电平 1,它总是处于计数状态,其进位输出 CO 与高位片 CT74LS161(2) 的 CT_T 、 CT_P 相连。在计数脉冲 CP 作用下,低位片进行计数,计到 15 以前,进位输出 $CO = Q_3Q_2Q_1Q_0 = 0$,高位片的 $CT_T = CT_P = 0$,禁止计数,保持原状态不变。在低位片计数到 15 时, $Q_3Q_2Q_1Q_0 = 1111$, $CO = 1$,使高位片的 $CT_T = CT_P = 1$,处于计数状态。在输入第 16 个计数脉冲 CP 时,高位片进行加 1 计数,同时低位片回到 $Q_3Q_2Q_1Q_0 = 0000$ 状态,它的 CO 随之变为 0,使高位片停止计数。随着计数的不断进行,当计数器计到 $Q'_3Q'_2Q'_1Q'_0$ 和 $Q_3Q_2Q_1Q_0$ 都为高电平 1 时,这时反馈归零函数 $\overline{CR} = \overline{Q'_3Q'_2Q'_1Q'_0} = 0$,计数器回到初始的 0 状态。根据计数器的输出状态 $Q'_3Q'_2Q'_1Q'_0Q_3Q_2Q_1Q_0 = 00110010$ 可知,对应的十进制数为 50,所以,图 6.3.12 所示电路为五十进制计数器。

[例 6.3.7] 试用计数器 CT74LS161 和数据选择器设计一个 10100111 的序列脉冲发生器。

解:由于序列脉冲的长度为 8 位,故选用 8 选 1 数据选择器 CT74LS151,顺序脉冲的先后顺序为 1、0、1、0、0、1、1、1。因此,取 $D_0D_1D_2D_3D_4D_5D_6D_7 = 10100111$,同时将计数器输出 $Q_2Q_1Q_0$ 和数据选择器的地址端 $A_2A_1A_0$ 对应相连,这时在时钟脉冲 CP 作用下, Y 端便输出序列为 10100111 的序列脉冲,电路如图 6.3.13 所示。

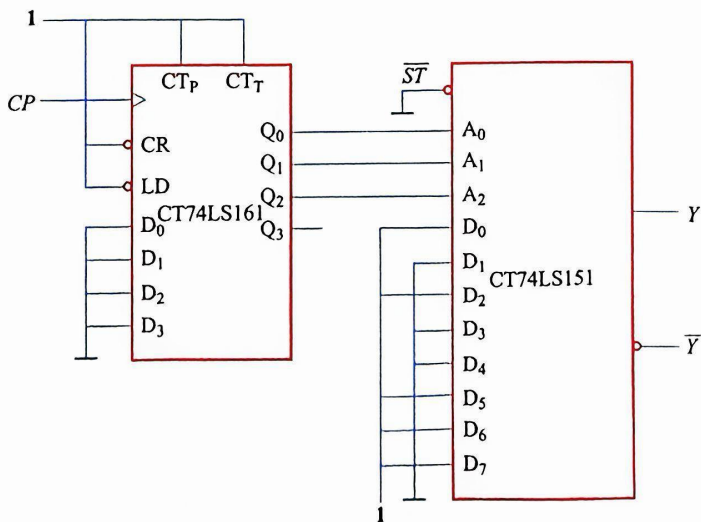


图 6.3.13 由 CT74LS161 和 CT74LS151 构成的 10100111 序列脉冲发生器

7. 同步二进制加/减计数器

在前面讨论由 JK 触发器组成的二进制计数器的工作原理时已经知道:如从 Q 端输出信号时,为加法计数器;如从 \bar{Q} 端输出信号时,则为减法计数器。组成加/减计数器时,它们使用的 JK 触发器是共用的。因此,实现加/减计数的关键是使加入的组合逻辑电路在控制信号作用下,能将低位触发器的 Q 端或 \bar{Q} 端输出的信号加到相邻高位触发器的 T 输入端上,便组成了同步二进制加/减计数器。

二、同步十进制加法计数器

同步十进制加法计数器是在 4 位同步二进制加法计数器的基础上经过适当修改获得的。它跳过了 1010~1111 六个状态,利用了自然二进制数的前十个状态 0000~1001 实现了 8421 BCD 码十进制加法计数。计数顺序表见表 6.3.5。

表 6.3.5 同步十进制计数器的状态表

序号	计数器状态				输出 CO	计数脉冲序号	计数器状态				输出 CO
	Q_3	Q_2	Q_1	Q_0			Q_3	Q_2	Q_1	Q_0	
	0	0	0	0	0	6	0	1	1	0	0
	0	0	0	1	0	7	0	1	1	1	0
	0	0	1	0	0	8	1	0	0	0	0
	0	0	1	1	0	9	1	0	0	1	1
	0	1	0	0	0	10	0	0	0	0	0
	0	1	0	1	0						

图 6.3.14(a)所示为由 4 个 JK 触发器组成的 8421 BCD 码同步十进制加法计数器的逻辑图。它的工作原理如下:

计数前,在计数器的置 0 端 \bar{R}_0 上加负脉冲,使计数器处于 $Q_3Q_2Q_1Q_0 = 0000$ 状态,在计数过程中 \bar{R}_0 为高电平 1。

由图 6.3.14(a)可看出: FF_0 的 $J_0 = K_0 = 1$, 为 T' 触发器,每输入一个计数脉冲 CP , 状态变化一次。 FF_1 的 $J_1 = \bar{Q}_3Q_0$ 、 $K_1 = Q_0$, 在 FF_3 为 0 状态时, $\bar{Q}_3 = 1$, 这时 $J_1 = Q_0$, FF_1 为 T 触发器。当 $Q_0 = 1$ 时, FF_1 处于计数状态; 当 $Q_0 = 0$ 时, FF_1 处于保持状态。 FF_2 的 $J_2 = K_2 = Q_1Q_0$, 也为 T 触发器。 FF_3 的 $J_3 = Q_2Q_1Q_0$ 、 $K_3 = Q_0$, 它只有在 FF_0 、 FF_1 和 FF_2 都为 1 状态时, 才具备翻转条件。由上述分析可知, 在输入前 7 个计数脉冲 CP 时, 图 6.3.14(a)所示同步十进制加法计数器的工作情况和同步二进制加法计数器相同, 在此期间, $Q_3 = 0$, 输出 $CO = Q_3Q_0 = 0$ 。当输入第 7 个计数脉冲 CP 时, $Q_3Q_2Q_1Q_0 = 0111$, 这时, $J_3 = 1$ 、 $K_3 = 1$, FF_3 具备翻转条件。

输入第 8 个计数脉冲 CP 时, 计数器的状态为 $Q_3Q_2Q_1Q_0 = 1000$ 。这时, FF_3 为 1 状态, $\bar{Q}_3 = 0$, 使 $J_1 = 0$ 、 $K_1 = 0$; FF_2 和 FF_3 的 $J_2 = 0$ 、 $K_2 = 0$; $J_3 = 0$ 、 $K_3 = 0$ 。因此, 除 FF_0 具备翻转条件外, $FF_1 \sim FF_3$ 都保持原状态。

输入第 9 个计数脉冲 CP 时, 计数器翻到 $Q_3Q_2Q_1Q_0 = 1001$ 状态。输出 CO 由 0 变为 1 状态, 即 $CO = 1$ 。这时, $J_1 = 0$ 、 $K_1 = 1$; $J_2 = 0$ 、 $K_2 = 0$; $J_3 = 0$ 、 $K_3 = 1$ 。因此, FF_1 和 FF_2 不具备翻转条件, 保持 0 状态, 而 FF_0 和 FF_3 都具备翻到 0 状态的条件。

输入第 10 个计数脉冲 CP 时, 计数器翻到开始的 $Q_3Q_2Q_1Q_0 = 0000$ 状态, 同时, 输出 CO 由高电平 1 负跃到低电平 0, 向高位计数器输出一个负跃变的进位信号。从而实现了十进制计数。图 6.3.14(b)所示为十进制计数器的工作波形。

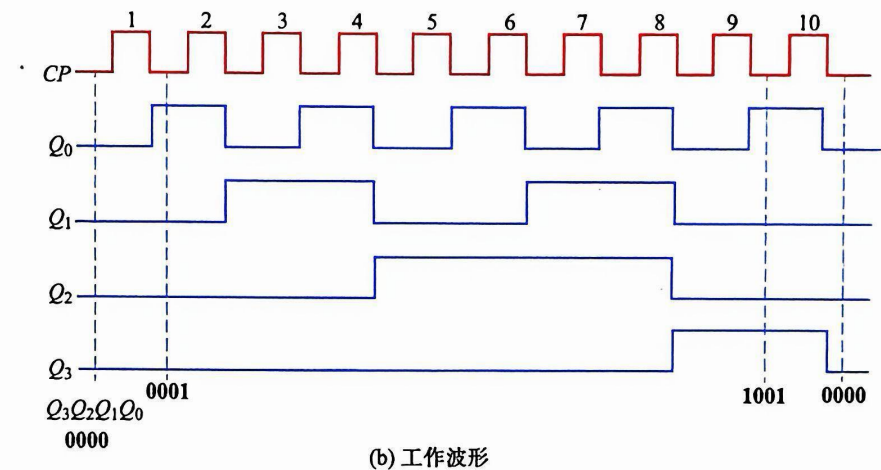
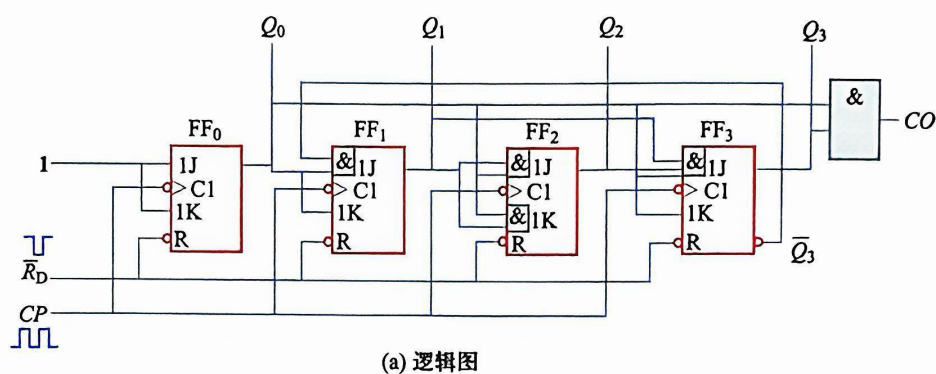


图 6.3.14 8421BCD 码同步十进制加法计数器和工作波形

应当指出:采用反馈归零法也可将图 6.3.8 所示同步二进制加法计数器改造成 8421 BCD 码同步十进制加法计数器。请读者画出具体的电路,并分析其工作原理。

三、集成十进制同步计数器

1. 集成十进制同步加法计数器 CT74LS160 和 CT74LS162

图 6.3.15 所示为集成十进制同步加法计数器 CT74LS160 的逻辑功能示意图。图中 \overline{LD} 为同步置数控制端, \overline{CR} 为异步置 0 控制端, CT_P 和 CT_T 为计数控制端, $D_0 \sim D_3$ 为并行数据输入端, $Q_0 \sim Q_3$ 为输出端, CO 为进位输出端。表 6.3.6 为 CT74LS160 的功能表,由该表可知它有以下主要功能。

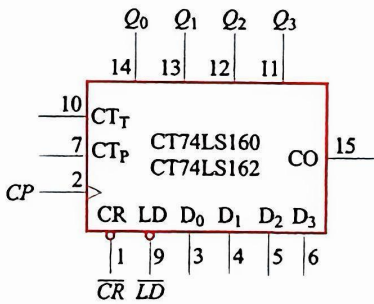


图 6.3.15 CT74LS160 和 CT74LS162 的逻辑功能示意图

表 6.3.6 CT74LS160 的功能表

输入									输出				说明
\overline{CR}	\overline{LD}	CT_P	CT_T	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	x	x	x	x	x	x	x	x	0	0	0	0	异步置 0 同步置数 $CO = Q_3Q_0$
1	0	x	x	\uparrow	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	
1	1	1	1	\uparrow	x	x	x	x					
1	1	0	x	x	x	x	x	x					
1	1	x	0	x	x	x	x	x					保持

(1) 异步置 0 功能。当 $\overline{CR}=0$ 时,无论其他输入端有无信号输入,计数器被置 0,这时 $Q_3Q_2Q_1Q_0=0000$ 。

(2) 同步并行置数功能。当 $\overline{CR}=1, \overline{LD}=0$ 时,在时钟脉冲 CP 上升沿到来时,并行数据输入端 $D_3 \sim D_0$ 输入的数据 $d_3 \sim d_0$ 被置入计数器,这时, $Q_3Q_2Q_1Q_0=d_3d_2d_1d_0$ 。

(3) 计数功能。当 $\overline{LD}=\overline{CR}=CT_T=CT_P=1$ 。 CP 端输入计数脉冲时,计数器按照 8421 BCD 码的规律进行十进制加法计数。

(4) 保持功能。当 $\overline{LD}=\overline{CR}=1$,且 CT_T 和 CT_P 中有 0 时,则计数器保持原来的状态不变。

集成十进制同步加法计数器 CT74LS162 的逻辑功能示意图见图 6.3.15,与 CT74LS160 相比,CT74LS162 除为同步置 0 外,其余逻辑功能都和 CT74LS160 相同。这里不再重复。

[例 6.3.8] 试用 CT74LS160 的同步置数功能构成七进制计数器。

解:设计数器从 $Q_3Q_2Q_1Q_0=0000$ 状态开始计数,为此,应取 $D_3D_2D_1D_0=0000$ 。

① 写出 S_{7-1} 的二进制代码为

$$S_{7-1}=S_6=0110$$

② 写出反馈置数函数为

$$\overline{LD}=\overline{Q_3Q_1}$$

(6.3.7)

③ 画连线图。根据式(6.3.7)画连线图,同时将并行数据输入端 $D_3、D_2、D_1$ 和 D_0 接低电平 0。电路如图 6.3.16 所示。

利用 CT74LS160 的异步置 0 控制端 \overline{CR} 的置 0 功能可构成七进制计数器,请读者构成此计数器。

利用 CT74LS162 的同步置数控制端 \overline{LD} 和同步置 0 控制端 \overline{CR} 也可构成任意进制计数器,其方法与 CT74LS163 相同。

图 6.3.17 所示为由两片 CT74LS160 构成的一百进制同步加法计数器。由图可看出:低位片 CT74LS160(1) 在计到 9 以前,其进位输出 $CO=Q_3Q_0=0$,高位片 CT74LS160(2) 的 $CT_T=0$,保持原状态不变。当低位片计到 9 时,其输出 $CO=1$,即高位片的 $CT_T=1$,这时,高位片才能接收 CP 端输入的计数脉冲。所以,输入第 10 个计数脉冲时,低位片回到 0 状态,同时使高位片加 1。显然图 6.3.17 所示电路为一百进制计

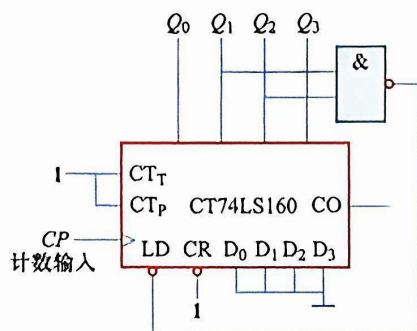


图 6.3.16 用 CT74LS160 构成七进制计数器

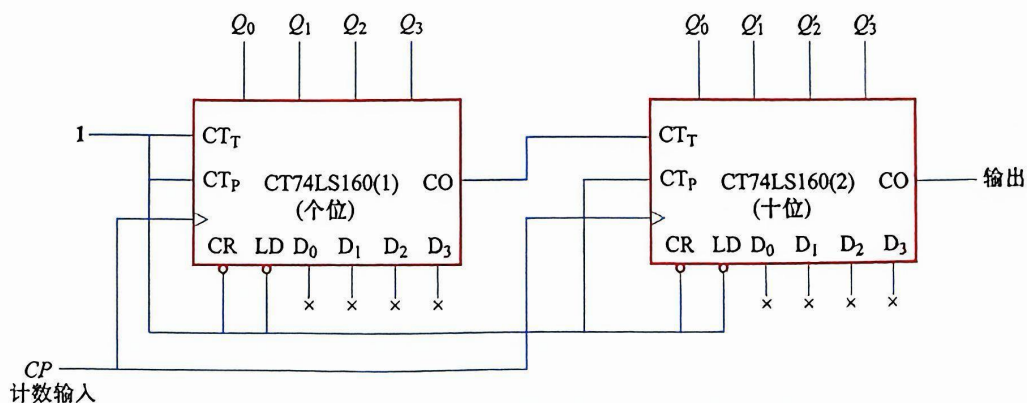


图 6.3.17 由两片 CT74LS160 构成的一百进制同步加法计数器



数器。

2. 集成十进制同步加/减计数器 CT74LS192

集成十进制同步加/减计数器主要有两类:一类是单时钟控制的加/减计数器;另一类是双时钟控制的加/减计数器,即加计数和减计数时钟是分开控制的。这两类加/减计数器的应用都比较广泛。下面以 CT74LS192 为例。

图 6.3.18 所示为集成双时钟十进制同步加/减计数器 CT74LS192 的逻辑功能示意图。

图中 CR 为异步置 0 控制端,高电平有效; \overline{LD} 为异步并行置数控制端,低电平有效; $D_0 \sim D_3$ 为并行数据输入端; CP_U 为加计数时钟输入端; CP_D 为减计数时钟输入端; \overline{CO} 为进位输出端; \overline{BO} 为借位输出端; $Q_0 \sim Q_3$ 为输出端。表 6.3.7 为 CT74LS192 的功能表。

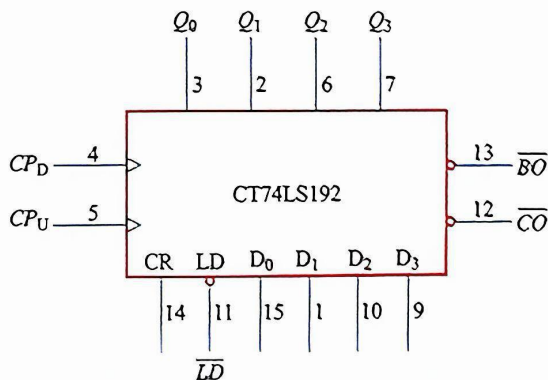


图 6.3.18 CT74LS192 的逻辑功能示意图

表 6.3.7 CT74LS192 的功能表

输入								输出				说明
CR	\overline{LD}	CP_U	CP_D	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3	
1	x	x	x	x	x	x	x	0	0	0	0	异步置 0
0	0	x	x	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3	异步置数
0	1	↑	1	x	x	x	x	加 计 数				
0	1	1	↑	x	x	x	x	减 计 数				
0	1	1	1	x	x	x	x	保 持				

由该表可知 CT74LS192 有以下主要逻辑功能。

(1) 异步置 0 功能。当 $CR = 1$ 时,不论有无时钟脉冲 CP 和其他信号输入,计数器被置 0,即 $Q_3 Q_2 Q_1 Q_0 = 0000$ 。

(2) 异步置数功能。当 $CR = 0$ 时,只要 $\overline{LD} = 0$,不论有无时钟脉冲 CP 输入,并行数据输入端 $D_0 \sim D_3$ 输入的数据 $d_0 \sim d_3$ 被置入计数器,即 $Q_3 Q_2 Q_1 Q_0 = d_3 d_2 d_1 d_0$ 。

(3) 计数功能。当 $CR = 0$ 、 $\overline{LD} = 1$ 、 $CP_D = 1$ 时,由 CP_U 端输入计数脉冲,则进行十进制加法计数。在计到最大数 9(即 $Q_3 Q_2 Q_1 Q_0 = 1001$)时, \overline{CO} 端变为低电平。当输入第 10 个计数脉冲时, \overline{CO} 端由低电平跃为高电平,其输出上升沿的进位信号,使相邻高位加 1,同时,计数器回到 $Q_3 Q_2 Q_1 Q_0 = 0000$ 状态。

当 $CR = 0$ 、 $\overline{LD} = 1$ 、 $CP_U = 1$ 时,由 CP_D 端输入计数脉冲,则进行十进制减法计数,在计到 $Q_3 Q_2 Q_1 Q_0 = 0000$ 时, \overline{BO} 端变为低电平。如再输入一个计数脉冲时, \overline{BO} 端输出一个上升沿的借位信号,使相邻高位减 1,同时计数器回到最大数 $Q_3 Q_2 Q_1 Q_0 = 1001$ 。

计数器级联时,需将 \overline{CO} 和 \overline{BO} 依次和后级的 CP_U 、 CP_D 相连。

(4) 保持功能。当 $CR = 0$ 、 $\overline{LD} = 1$ 、 $CP_U = CP_D = 1$ 时, $\overline{BO} = \overline{CO} = 1$,计数器保持原状态不变。这时禁

止计数。

3. 利用计数器的异步置数功能获得 N 进制计数器

利用计数器的异步置数功能可获得 N 进制计数器。和异步置 0 一样,异步置数和时钟脉冲 CP 没有任何关系,只要异步置数控制端出现置数信号时,并行数据输入端 $D_0 \sim D_3$ 输入的数据便被立刻置入计数器。因此,利用异步置数控制端构成 N 进制计数器时,应在输入第 N 个计数脉冲 CP 后,将计数器输出 Q_3, Q_2, Q_1, Q_0 中的高电平 1 通过反馈控制电路(与非门)产生的置数信号加到计数器的异步置数控制端上,使计数器立刻回到初始的预置数状态,从而实现了 N 进制计数。其构成 N 进制计数器的方法和前面讨论的异步置 0 法相同。但在利用异步置数功能构成 N 进制计数器时,并行数据输入端 $D_0 \sim D_3$ 必须接入计数起始数据,通常取 $D_3, D_2, D_1, D_0 = 0000$ 。

【例 6.3.9】 试用 CT74LS192 的异步置数功能构成九进制加法计数器。

解:设计数器从 $Q_3, Q_2, Q_1, Q_0 = 0000$ 状态开始计数,因此,应取 $D_3, D_2, D_1, D_0 = 0000$ 。计数脉冲由 CP_U 端输入。

① 写出 S_9 的二进制代码为

$$S_9 = 1001$$

② 写出反馈置数函数为

$$\overline{LD} = \overline{Q_3} \overline{Q_0} \quad (6.3.8)$$

③ 画连线图。根据式(6.3.8)画连线图,如图 6.3.19 所示。由于是加法计数,故取 $CR = 0$ 、 $CP_D = 1$ 。

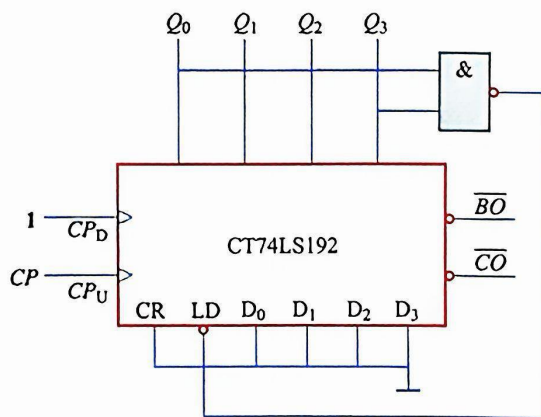


图 6.3.19 用 CT74LS192 构成九进制加法计数器

图 6.3.20 所示为由两片 CT74LS192 构成的六十进制减法计数器,两片 CT74LS192 的 CP_U 端接高电平 1。个位片 CT74LS192(1) 的 CP_D 端输入计数脉冲 CP , 为十进制减法计数器。十位片 CT74LS192(2) 取 $D_3, D_2, D_1, D_0 = 0110$ 构成六进制减法计数器。这样,两片 CT74LS192 便构成了六十进制减法计数器。

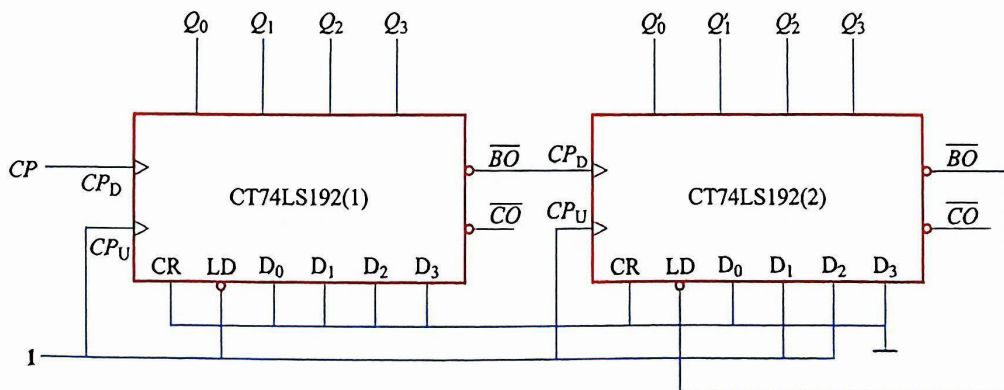


图 6.3.20 由两片 CT74LS192 构成的六十进制减法计数器

电路应用提示

用中规模集成计数器构成 N 进制计数器的方法如下:

1. 采用异步置 0 和异步置数功能构成 N 进制计数器时,应根据 N 的二进制代码写反馈归零函数和反馈置数函数。如置 0 和置数信号为低电平 0 时,则反馈控制电路为与非门;如为高电平 1 时,则反馈控制电路为与门。
2. 采用同步置 0 和同步置数功能构成 N 进制计数器时,应根据 $(N-1)$ 的二进制代码写反馈归零函数和反馈置数函数。如置 0 和置数信号为低电平 0 时,则反馈控制电路为与非门;如为高电平 1 时,则反馈控制电路为与门。
3. 用置 0 法构成 N 进制计数器时, $D_0 \sim D_3$ 端可接任意数据;而采用置数法时, $D_0 \sim D_3$ 必须接计数起始数据。

6.3.3 集成计数器综合应用举例

图 6.3.21 所示为 30 s 定时器的原理电路,主要用于完成从 30 s 减计时到 0,并通过译码器和数码显示器显示出相应的时间。它主要由秒脉冲电路(第 7 章中介绍)、控制电路、30 s 减计数器和译码显示电路等部分组成。整机电路工作原理如下。

一、30 s 减计数器

电路由两片 CC74HC192 组成。当实现 30 s 减计数时,十位片 CC74HC192(2)的数据输入端取 $D_3D_2D_1D_0 = 0011$,个位片 CC74HC192(1)的数据输入端取 $D_3D_2D_1D_0 = 0000$ 。当按下开关 S_1 时,计数器的 $\overline{LD} = 0$,减计数器置 30 s。放开 S_1 时, $\overline{LD} = 1$,减计数器工作。

如减计数输入端 CP_0 输入秒脉冲时,计数器进行减计数。在减计数过程中,借位输出端 \overline{BO}_1 和 \overline{BO}_2 为高电平 1。当个位 CC74HC192(1)减计数到 0 时, \overline{BO}_1 端由高电平 1 负跃到低电平 0,如再输入一个计数脉冲时,则 \overline{BO}_1 端由低电平 0 正跃到 高电平 1,输出一个上升沿的借位信号,使十位片 CC74HC192(2)减 1。当 30 s 计数器减计数到 0 时,计数器显示 00 s。则借位输出 \overline{BO}_1 和 \overline{BO}_2 同时由高电平 1 负跃到低电平 0。

二、控制电路

电路由 $G_1 \sim G_8$ 八个门电路和一个 LED 发光二极管组成,其输入端分别和减计数器借位输出端 \overline{BO}_1 和 \overline{BO}_2 相连。由于在减计数过程中, \overline{BO}_1 和 \overline{BO}_2 中至少有一个输出高电平 1, G_1 输出高电平,LED 熄灭,同时 G_4 打开。当暂停/计数开关 S_2 打在“计数”侧时, G_2 输出高电平,秒脉冲通过 G_1 、 G_4 和 G_5 送到个位减计数器 CC74HC192(1)的减计数输入端 CP_0 ,进行减计数。当开关 S_2 打在“暂停”侧时, G_2 输出低电平 0,使 G_3 关闭,秒脉冲被封锁,减计数器暂停计数,显示的数字保持不变。如开关 S_2 再次打在“计数”侧时,计数器接着进行减计数。

当减计数到 00 s 时, \overline{BO}_1 和 \overline{BO}_2 同时负跃到低电平 0, G_1 输出低电平 0,这一方面使 LED 发光,另一方面使 G_4 关闭,计数器停止减计数,并保持显示的 00 不变。只有当开关 S_1 再次合上时,计数器置 30 s 后,才可开始新一轮减计数。